

## KOREAN PATENT ABSTRACTS

(11)Publication number: **1019980075059A**

(43)Date of publication of application:  
**06.10.1999**

(21)Application number: **1019970011115**

(71)Applicant: **LG ELECTRONICS INC.**

(22)Date of filing: **28.03.1997**

(72)Inventor: **MUN, SEONG HAK**

(51)Int. Cl **G09G 3/28**

(54) **PLASMA DISPLAY DEVICE**

(57) Abstract:

PURPOSE: A plasma device is provided to decrease power consumption and improve durability of the device by driving in common the parallelly connected portion of Y and Z sustain electrode lines.

CONSTITUTION: 480 lines of Y and Z sustain electrode lines(Y1, Z1, Y2, Z2, ... , Y479, Z479, Y480, Z480) and 640 lines of R, G and B address electrode lines(R1, G1, B1, R2, G2, B2, ... , R639, G639, B639, R640, G640, B640) are arranged to cross orthogonally one another. Among the 480 lines of Y sustain electrode lines, Y(2alpha-1)(here, alpha = "1," 2, ... , 239, 240) lines and Y(2alpha) lines are respectively connected in parallel. Among the 480 lines of Z sustain electrode lines, Z(2beta)(here, beta = "1," 2, ... , 238, 239) lines and Z(2beta+ 1) lines are respectively connected in parallel. These electrode lines and address lines form a plane discharge type plasma display panel. The Y and Z sustain electrode lines connected in parallel are respectively driven in common.

COPYRIGHT 2001 KIPO

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. 6  
G09G 3/28

(11) 공개번호 특1998-075059  
(43) 공개일자 1998년11월05일

(21) 출원번호 특1997-011115  
(22) 출원일자 1997년03월28일

(71) 출원인 엘지전자 주식회사 구자홍  
서울특별시 영등포구 여의도동 20번지  
(72) 발명자 문성학  
경기도 군포시 산본2동 개나리아파트 1325-102호  
(74) 대리인 박병창  
심사청구 : 있음

(54) 플라즈마 디스플레이장치

요약

본 발명은 M개의 Y 및 Z 서스테인 전극라인  $Y_1, Z_1, Y_2, Z_2, \dots, Y_{M-1}, Z_{M-1}, Y_M, Z_M$  중  $Y_{2\alpha-1}$  과  $Y_{2\alpha}$ (이하,  $\alpha=1, 2, \dots,$

$$\frac{M}{2}$$

-1,

$$\frac{M}{2}$$

),  $Z_{2\beta}$  와  $Z_{2\beta+1}$ (이하,  $\beta=1, 2, \dots,$

$$\frac{M}{2}$$

-2,

$$\frac{M}{2}$$

-1)이 각각 병렬로 연결되어 있는 교류 플라즈마 디스플레이 패널과, 마이컴과, 메모리부와, Y 및 Z 서스테인 구동부와, 어드레스 구동부로 구성된 플라즈마 디스플레이장치에 관한 것으로서, 상호 병렬로 연결된 Y 및 Z 서스테인 전극라인이 각각 공통으로 구동되어 구동 IC의 개수 및 구동 주파수가 감소되기 때문에 제조 비용 및 소비전력이 절감되고, M개의 Z 서스테인 전극라인이 분할 구동되기 때문에 EMI(Electromagnetic Interference)가 감소되며, 상호 병렬로 연결된 서스테인 전극라인 상에 동시에 형성되는 벽전하에 의해 서스테인 전극라인의 스캐닝 전압이 감소되기 때문에 소비전력이 절감되고 수명이 연장되는 등 여러 가지 효과가 있다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 종래 기술에 의한 플라즈마 디스플레이장치 중 하나의 구성을 나타내는 블록도,도 2는 도 1에 도시된 3전극 면방전 플라즈마 디스플레이 패널(이하, 3전극 면방전 PDP라 함) 중 1개 화소의 측단면도,도 3은 도 1에 도시된 3전극 면방전 PDP의 전체 전극 구조도,도 4는 본 발명의 일 실시예에 구비된 3전극 면방전 PDP의 전체 전극 구조도,도 5는 본 발명의 일 실시예에 의한 플라즈마 디스플레이장치의 구성을 나타내는 블록도.

\*도면의 주요부분에 대한 부호의 설명\*10: 3전극 면방전 PDP 20: 마이컴 30: 메모리부 40: Y 서스테인 구동부50: Z 서스테인 구동부 61, 62: 제 1, 2 어드레스 구동부 $Y_1 \sim Z_{480}$ : 480개의 Y 및 Z 서스테인 전극라인 $R_1 \sim B_{640}$ : 640개의 R(Red), G(Green), B(Blue) 어드레스 전극라인 ITO- $Y_1 \sim$  ITO- $Y_{240}$ : 240개의 Y 공통 투명전극ITO- $Z_1 \sim$  ITO- $Z_{239}$ : 239개의 Z 공통 투명전극

본 발명은 플라즈마 디스플레이장치에 관한 것으로서, 특히 교류 플라즈마 디스플레이 패널(이하, AC PDP라 함)을 구비하여 저전력 구동으로 상기 AC PDP 상에 화상을 표시하는 플라즈마 디스플레이장치에 관한 것이다.

현대는 정보화 사회라고 불려지고 있는 만큼 정보 처리 시스템의 발전과 보급 증가에 따라 디스플레이장치의 중요성이 증대되고, 그 종류도 점차 다양화되고 있다.

이전부터 디스플레이장치로 가장 많이 이용되던 CRT(Cathode Ray Tube)는 사이즈가 크고, 동작 전압이 높으며, 표시 일그러짐이 발생하는 등 여러 가지 문제점을 가지고 있어 화면의 대형화, 평면화를 목표로 하는 최근의 추세에 적합하지 않아 최근에는 매트릭스 구조를 가지는 각종 평면 디스플레이장치의 연구 개발이 활발히 진행되고 있다.

상기 평면 디스플레이장치 중 발광형 소자인 플라즈마 디스플레이 패널(이하, PDP라 함)을 구비하여 상기 PDP 내부의 기체 방전 현상을 이용함으로써 동화상 또는 정지화상을 표시하는 장치를 플라즈마 디스플레이장치라 한다.

종래 기술에 의한 플라즈마 디스플레이장치 중 하나의 구성을 도 1, 도 2, 도 3을 참조하여 설명하면 다음과 같다.

도 1에서 참조번호 10은 AC PDP 중 하나로서 전체 화면이 매트릭스 형태의  $M \times N$ 개 화소로 구성된 3전극 면방전 PDP를 나타내고, 120은 외부로부터 입력되는 R(Red), G(Green), B(Blue) 아날로그 화상 데이터를 디지털화하여 R, G, B 디지털 화상 데이터를 출력하고 상기 R, G, B 디지털 화상 데이터와 외부 신호에 따라 각종 제어신호를 출력하는 마이컴을 나타낸다.

상기에서 3전극 면방전 PDP(10)는 도 2와 도 3에 도시된 바와 같이 화상의 표시면인 전면 기판(11)과, 상기 전면 기판(11)과 소정 거리를 사이에 두고 평행하게 위치한 배면 기판(12)과, 상기 전면 기판(11)과 배면 기판(12) 사이에 배열 형성되어 방전 공간을 형성하는  $3N+1$ 개의 격벽(13)과, 상기 전면 기판(11) 중 배면 기판(12)과의 대향면에 상기 격벽(13)과 직교하도록 교대로 배열 형성된 M개의 Y 및 Z 서스테인 전극라인( $Y_1, Z_1, Y_2, Z_2, \dots, Y_{M-1}, Z_{M-1}, Y_M, Z_M$ )과, 상기 각 격벽(13) 사이의 배면 기판(12) 위에 상기 격벽(13)과 평행하게 형성되어 상기 M개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ )과 함께 방전을 일으키는 N개의 R, G, B 어드레스 전극라인( $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_{N-1}, G_{N-1}, B_{N-1}, R_N, G_N, B_N$ )과, 상기 방전공간 내부의 배면 기판(12)과 격벽(13)과 R, G, B 어드레스 전극라인( $R_1 \sim B_N$ ) 위에 각각 형성되어 각 셀의 방전시 적, 녹, 청색의 가시광을 각각 방출하는 N개의 R, G, B 형광체층(14a, 14b, 14c)으로 구성되어 있다.

상기에서 M개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ )과 N개의 R, G, B 어드레스 전극라인( $R_1 \sim B_N$ )은 매트릭스 형태의  $M \times N$ 개 화소(R, G, B셀)를 구성하는 부재이고, 상기 M개의 Z 서스테인 전극라인( $Z_1 \sim Z_M$ )은 모두 병렬로 연결되어 있다.

아울러, 상기 M개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ ) 위에는 각 셀의 방전시 방전전류를 제한하는 유전체층(15)이 형성되어 있고, 상기 유전체층(15) 위에는 각 셀의 방전시 일어나는 스퍼터링(sputtering)으로부터 상기 M개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ )과 유전체층(15)을 보호하는 산화마그네슘(MgO) 보호막(16)이 형성되어 있으며, 각 셀의 방전공간 내부에는 방전가스가 주입되어 있다.

도 1에서 참조번호 130은 상기 마이컴(120)에서 출력되는 R, G, B 디지털 화상 데이터를 프레임별, 컬러별, 비트별로 저장하는 메모리부를 나타내고, 140은 상기 마이컴(120)의 제어신호에 따라 상기 M개의 Y 서스테인 전극라인( $Y_1 \sim Y_M$ )에 각각에 해당하는 제 1 구동 펄스열을 공급하는 Y 서스테인 구동부를 나타내며, 150은 상기 마이컴(120)의 제어신호에 따라 상기 M개의 Z 서스테인 전극라인( $Z_1 \sim Z_M$ )에 공통으로 제 2 구동 펄스열을 공급하는 Z 서스테인 구동부를 나타낸다.

상기에서 Y 서스테인 구동부(140)는 복수개의 구동 IC(Integrated Circuit)로 구성되어 각 구동 IC의 출력핀이 M개의 Y 서스테인 전극라인( $Y_1 \sim Y_M$ )에 일대일 대응으로 연결되어 있고(M개 Y 서스테인 전극라인( $Y_1 \sim Y_M$ )의 독립 구동으로 인해 총 M개의 구동 IC 출력핀이 확보되어야 함), Z 서스테인 구동부(150)는 1개의 구동 IC로 구성되어 그 중 1개 출력핀이 상호 병렬로 연결된 M개의 Z 서스테인 전극라인( $Z_1 \sim Z_M$ )과 연결되어 있다.

도 1에서 참조번호 161과 162는 상기 M개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ ) 중 현재 스캐닝되는 Y 및 Z 서스테인 전극라인이 구성하는 N개 화소(R, G, B셀)의 해당 R, G, B 디지털 화상 데이터를 상기 메모리부(130)로부터 입력받아 상기 N개의 R, G, B 어드레스 전극라인( $R_1 \sim B_N$ )에 공급하는 제 1, 2 어드레스 구동부를 각각 나타낸다.

상기에서 제 1 어드레스 구동부(161)는 N개의 R, G, B 어드레스 전극라인( $R_1 \sim B_N$ ) 중 홀수번째에 위치하는 어드레스 전극라인( $R_1, B_1, G_2, \dots, R_{N-1}, B_{N-1}, G_N$ )에 해당 R, G, B 디지털 화상 데이터를 각각 공급하고, 제 2 어드레스 구동부(162)는 짝수번째에 위치하는 어드레스 전극라인( $G_1, R_2, B_2, \dots, G_{N-1}, R_N, B_N$ )에 해당 R, G, B 디지털 화상 데이터를 각각 공급하여 어드레싱 주파수를 낮춘다.

상기와 같이 구성된 종래 기술에 의한 플라즈마 디스플레이장치가 여러 가지 구동방식 중 하나인 ADS 서브필드(Addressing and Display System sub-field) 방식에 따라 3전극 면방전 PDP 상에  $2^X$  계조(gray scale)의 화상을 표시하는 과정을 설명하면 다음과 같다.

상기 ADS 서브필드 방식은 구현하고자 하는 계조에 따라 1 프레임을 복수개의 서브필드로 분할하여 구동하는 방식으로, 각 서브필드는 리셋 기간과 어드레스 기간과 서스테인 기간으로 나뉘어 구동된다.

여기서, 각 서브필드의 어드레스 기간은 모두 동일하게 할당되어 있으나 서스테인 기간은 N개의 R, G, B 어드레스 전극라인( $R_1 \sim B_N$ )을 통해 공급되는 R, G, B 디지털 화상 데이터의 비트 가중치에 따라 서로 다르게 할당되어 있으므로 각 서브필드의 조합으로(논의 적분효과를 이용함) 화상의 계조 구현이 가능해진다.

예를 들어,  $2^X$

계조의 구현을 위하여 R, G, B 아날로그 화상 데이터는 X비트의 R, G, B 디지털 화상 데이터(최하위 B

$_1 \sim$ 최상위  $B_X$ )로 디지털화되고, 1 프레임은 X개의 서브필드( $SF_1 \sim SF_X$ )로 분할되며, 각 서브필드( $SF_1 \sim SF_X$ )의 서스테인 기간은  $2^0: 2^1: 2^2: \dots 2^{X-2}: 2^{X-1}$ 의 비율로 할당된다.

먼저, 마이컴(120)은 외부로부터 입력되는 R, G, B 아날로그 화상 데이터를 디지털화하여 X비트의 R, G, B 디지털 화상 데이터( $B_1 \sim B_X$ )를 출력하고, 상기 R, G, B 디지털 화상 데이터와 외부 신호에 따라 각종 제어신호를 출력한다.

이 때, 상기 마이컴(120)에서 출력되는 R, G, B 디지털 화상 데이터는 메모리부(130)에 프레임별, 컬러별, 비트별로 저장된다.

그 후, 각 서브필드( $SF_1 \sim SF_X$ )의 어드레스 기간에 Y 서스테인 구동부(140)와 Z 서스테인 구동부(150)는 마이컴(120)의 제어신호에 따라 전체 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ )에 1 단계로 이전의 필드에 생성된 벽전하를 제거하는 소거(erase) 펄스, 2 단계로 패널 전체에 균등한 벽전하를 형성하기 위한 써넣기(write) 펄스, 3 단계로 소거 펄스를 공급하여 N개의 R, G, B 어드레스 전극라인( $R_1 \sim B_N$ ) 위에 각각 형성된 R, G, B 형광체층(14a, 14b, 14c) 표면에 벽전하를 형성시켜 이후에 수행되는 각 셀의 어드레스 방전전압을 낮추고, 4 단계로 M개의 Y 서스테인 전극라인( $Y_1 \sim Y_M$ )에 순차적으로 소정 전압의 스캔 펄스를 공급한다.

상기 4 단계에서 M개의 Y 서스테인 전극라인( $Y_1 \sim Y_M$ )에 순차적으로 스캔 펄스가 공급되는 동안 M개의 Z 서스테인 전극라인( $Z_1 \sim Z_M$ )에는 상기 스캔 펄스와 극성이 반대인 펄스 전압이 공급됨으로써 상기 M개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ )은 순차적으로 한쌍(Y 및 Z 서스테인 전극라인쌍)씩 스캐닝된다.

아울러, 상기 4 단계에서 M개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ )이 순차적으로 한쌍씩 스캐닝되는 동안 제 1, 2 어드레스 구동부(161, 162)는 N개의 R, G, B 어드레스 전극라인( $R_1 \sim B_N$ )에 스캔 펄스와 동기화된 해당 어드레스 펄스(R, G, B 디지털 화상 데이터의 1 비트값)를 공급하여 어드레스 펄스로 논리 하이(high)가 공급된 각 셀의 방전공간 내부에서 어드레스 방전이 일어나도록 한다.

이 때, 상기 제 1, 2 어드레스 구동부(161, 162)는 각 R, G, B셀에 대응되는 X비트의 R, G, B 디지털 화상 데이터( $B_1 \sim B_X$ ) 중  $B_1 \rightarrow SF_1, B_2 \rightarrow SF_2, \dots B_{X-1} \rightarrow SF_{X-1}, B_X \rightarrow SF_X$ 에 각각 공급한다.

또한, 각 셀의 방전공간 내부에서 어드레스 방전이 일어나면 상기 방전공간 내부에 주입되어 있던 방전가스가 전자와 이온으로 전리되어 플라즈마 상태로 되고, 상기 플라즈마 상태에서 충돌에 의해 여기된 입자들은 바닥 상태로 떨어지면서 각 R, G, B 형광체층(14a, 14b, 14c)측으로 자외선을 방출하고, 상기 각 R, G, B 형광체층(14a, 14b, 14c)은 자외선의 충돌에 의해 여기되어 적, 녹, 청색 가시광을 각각 방출하며, 상기 적, 녹, 청색 가시광은 전면 기판(11)을 통해 외부로 출사된다.

한편, 각 서브필드( $SF_1 \sim SF_X$ )의 어드레스 기간이 완료되면 Y 및 Z 서스테인 구동부(140, 150)는 마이컴(120)의 제어신호에 따라 M개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_M$ )에 제 1, 2 서스테인 펄스를 공급하여 각 R, G, B셀의 방전 및 발광을 제 1, 2 서스테인 펄스가 공급되는 기간(서스테인 기간)동안 각각 유지시킨다.

이 때, 각 서브필드( $SF_1 \sim SF_X$ )에는  $SF_1: SF_2: \dots SF_{X-1}: SF_X = 2^0: 2^1: \dots 2^{X-2}: 2^{X-1}$ 에 비례하는 개수의 서스테인 펄스가 공급된다.

에 비례하는 개수의 제 1, 2 서스테인 펄스를 에 각각 공급하여 어드레스 방전이 일어난 각 R, G, B셀의 방전 및 발광을 제 1, 2 서스테인 펄스가 공급되는 기간(서스테인 기간)동안 각각 유지시킨다.

상기와 같은 과정을 거쳐 마지막 서브필드( $SF_X$ )의 서스테인 기간이 완료되면 3전극 면방전 PDP(10) 상에 1 프레임의 계조 화상이 표시된다.

그러나, 종래 기술에 의한 플라즈마 디스플레이장치는 서스테인 전극라인의 스캐닝 전압과 구동 주파수가 높기 때문에 전력 소모가 많고, AC PDP의 수명이 짧아 실용화가 어려운 문제점이 있었다.

아울러, 종래에는 모든 Z 서스테인 전극라인이 상호 병렬로 연결되어 각 셀의 방전전류가 모두 동일한 방향으로 흐르기 때문에 전류가 증가하고 주파수가 상승하여 EMI(Electromagnetic Interference)에 물리한 문제점이 있었다.

따라서, 종래에는 복수개의 Z 서스테인 전극라인을 각각 독립적으로 구동시키는 방법을 적용하였으나 이 경우 많은 구동 IC를 필요로 하기 때문에 플라즈마 디스플레이장치의 제조 비용 상승을 초래하는 문제점이 있었다.

또한, 종래에는 복수개의 R, G, B 어드레스 전극라인 중 홀수번째 위치하는 어드레스 전극라인과 짝수번째 위치하는 어드레스 전극라인을 제 1, 2 어드레스 구동부가 각각 나누어 구동시키는데 이를 위해서는 메모리부와 제 1 어드레스 구동부 사이 및 메모리부와 제 2 어드레스 구동부 사이에 모두 R, G, B 디지털 화상 데이터를 전송하기 위한 R, G, B 데이터 전송 패턴이 형성되어야 하기 때문에 데이터 전송 패턴의 꼬임(cross talk) 현상이 심각하여 표시 화상에 많은 노이즈가 발생됨으로써 화질이 저하되는 문제점이 있었다.

### 발명이 이루고자하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 복수개의 Y 및 Z 서스테인 전극라인 중 일부가 동일 전극라인 및 인접 전극라인끼리 병렬로 연결된 AC PDP를 구비하여 병렬로 연결된 일부 Y 및 Z 서스테인 전극라인을 공통으로 구동시킴으로써 스캐닝 전압과 구동 주파수가 감소되어 소비전력이 절감되고, 수명이 연장된 플라즈마 디스플레이장치를 제공함에 그 목적이 있다.

또한, 본 발명은 복수개의 Y 서스테인 전극라인 중 일부 인접 전극라인을 상호 병렬로 연결하여 공통으로 구동시키고, 복수개의 Z 서스테인 전극라인 역시 일부 인접 전극라인을 상호 병렬로 연결하여 공통으로 구동시킴으로써 구동 IC의 개수와 EMI가 감소된 플라즈마 디스플레이장치를 제공함에 또 다른 목적이 있다.

또한, 본 발명은 제 1 어드레스 구동부가 복수개의 R, G, B 어드레스 전극라인 중 모든 R 어드레스 전극라인과 홀수번째 G 어드레스 전극라인을 구동시키고, 제 2 어드레스 구동부가 나머지 짝수번째 G 어드레스 전극라인과 모든 B 어드레스 전극라인을 구동시킴으로써 메모리부와 제 1, 2 어드레스 구동부 사이에 형성되는 데이터 전송 패턴의 꼬임 현상이 감소되어 표시 화상의 노이즈가 저감된 플라즈마 디스플레이장치를 제공함에 또 다른 목적이 있다.

### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위하여 본 발명에 의한 플라즈마 디스플레이장치는 M개의 Y 및 Z 서스테인 전극라인  $Y_1, Z_1, Y_2, Z_2, \dots, Y_{M-1}, Z_{M-1}, Y_M, Z_M$  과 N개의 R, G, B 어드레스 전극라인  $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_{N-1}, G_{N-1}, B_{N-1}, R_N, G_N, B_N$  이 상호 직교하도록 배열 형성되어 전체 화면이 매트릭스 형태의  $M \times N$ 개 화소로 이루어지고, 상기 M개의 Y 및 Z 서스테인 전극라인 중  $Y_{2\alpha-1}$  과  $Y_{2\alpha}$  (이하,  $\alpha=1, 2, \dots,$

$$\frac{M}{2}$$

$$-1, \frac{M}{2}$$

),  $Z_{2\beta}$  와  $Z_{2\beta+1}$  (이하,  $\beta=1, 2, \dots,$

$$\frac{M}{2}$$

$$-2, \frac{M}{2}$$

$-1$ )이 각각 병렬로 연결되어 있는 교류 플라즈마 디스플레이 패널(이하, AC PDP라 함)과; 외부로부터 입력되는 아날로그 화상 데이터를 디지털화하여 디지털 화상 데이터를 출력하고, 상기 디지털 화상 데이터와 외부 신호에 따라 각종 제어신호를 출력하는 마이컴과; 상기 마이컴에서 출력되는 디지털 화상 데이터를 저장하는 메모리부와; 상기 마이컴의 제어신호에 따라 상기  $Y_1$  에 공급되는 스캔 펄스보다 더 낮은 전압의 스캔 펄스를 상기  $Y_2$  내지  $Y_M$  에 공급하여 상기 M개의 Y 서스테인 전극라인을 순차적으로 스캐닝하고, 스캐닝이 완료된 Y 서스테인 전극라인에 제 1 서스테인 펄스를 공급하는 Y 서스테인 구동부와; 상기 마이컴의 제어신호에 따라 상기 M개의 Z 서스테인 전극라인을 순차적으로 스캐닝하여 상기  $Y_{2\alpha-1}$  과  $Y_{2\alpha}$  의 동시 스캐닝을 방지하고, 스캐닝이 완료된 Z 서스테인 전극라인에 제 2 서스테인 펄스를 공급하는 Z 서스테인 구동부와; 상기 M개의 Y 및 Z 서스테인 전극라인 중 현재 스캐닝되는 Y 및 Z 서스테인 전극라인이 구성하는 N개 화소의 디지털 화상 데이터를 상기 메모리부로부터 입력받아 상기 N개의 R, G, B 어드레스 전극라인에 공급하는 어드레스 구동부로 구성된 것을 특징으로 한다.

본 발명의 실시예에 의하면 상기 AC PDP는 상기  $Y_{2\alpha-1}$  과  $Y_{2\alpha}$  의 일단을 각각 연결하는

$$\frac{M}{2}$$

개의 Y 공통 투명전극과, 상기  $Z_{2\beta}$  와  $Z_{2\beta+1}$  의 타단을 각각 연결하는

$$\frac{M}{2}$$

$-1$ 개의 Z 공통 투명전극을 구비하는 것이 바람직하다.

또한, 상기 어드레스 구동부는 상기 N개의 R, G, B 어드레스 전극라인 중 모든 R 어드레스 전극라인과 홀수번째 G 어드레스

전극라인  $R_1, G_1, R_2, \dots, R_{N-1}, G_{N-1}, R_N$ 에 해당 디지털 화상 데이터를 공급하는 제 1 어드레스 구동부와, 짝수번째 G 어드레스 전극라인과 모든 B 어드레스 전극라인  $B_1, G_2, B_2, \dots, B_{N-1}, G_N, B_N$ 에 해당 디지털 화상 데이터를 공급하는 제 2 어드레스 구동부로 구성되는 것이 바람직하다.

이하, 본 발명에 의한 플라즈마 디스플레이장치의 바람직한 실시예를 첨부한 도면을 참조하여 상세하게 설명한다.

아울러, 본 발명의 바람직한 실시예를 설명하기 위한 모든 도면에서 종래 기술과 동일한 기능을 하는 부재는 종래 기술과 동일한 부호로 기재했고, 각각에 대한 반복 설명은 생략하였다.

본 발명의 일 실시예에 의한 플라즈마 디스플레이장치는 도 4와 도 5에 도시된 바와 같이 480개의 Y 및 Z 서스테인 전극라인( $Y_1, Z_1, Y_2, Z_2, \dots, Y_{479}, Z_{479}, Y_{480}, Z_{480}$ )과 640개의 R, G, B 어드레스 전극라인( $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_{639}, G_{639}, B_{639}, R_{640}, G_{640}, B_{640}$ )이 상호 직교하도록 배열 형성되어 전체 화면이 매트릭스 형태의 480×640개 화소로 이루어지고, 상기 480개의 Y 서스테인 전극라인( $Y_1, Y_2, \dots, Y_{479}, Y_{480}$ ) 중  $Y_{2\alpha-1}$ 과  $Y_{2\alpha}$ (이하,  $\alpha=1, 2, \dots, 239, 240$ )가 각각 병렬로 연결되어 있으며, 상기 480개의 Z 서스테인 전극라인( $Z_1, Z_2, \dots, Z_{479}, Z_{480}$ ) 중  $Z_{2\beta}$ 와  $Z_{2\beta+1}$ (이하,  $\beta=1, 2, \dots, 238, 239$ )이 각각 병렬로 연결되어 있는 3전극 면방전 PDP(10)와;외부로부터 입력되는 R, G, B 아날로그 화상 데이터를 디지털화하여 X 비트의 R, G, B 디지털 화상 데이터를 출력하고, 상기 R, G, B 디지털 화상 데이터와 외부 신호에 따라 각종 제어신호를 출력하는 마이컴(20)과;상기 마이컴(20)에서 출력되는 X비트의 R, G, B 디지털 화상 데이터를 프레임별, 컬러별, 비트별로 저장하는 메모리부(30)와; 상기 마이컴(20)의 제어신호에 따라 상기  $Y_1$ 에 공급되는 스캔 펄스보다 더 낮은 전압의 스캔 펄스를 상기  $Y_2$  내지  $Y_{480}$ 에 공급하여 상기 480개의 Y 서스테인 전극라인( $Y_1 \sim Y_{480}$ )을 순차적으로 스캐닝하고, 스캐닝이 완료된 Y 서스테인 전극라인에 제 1 서스테인 펄스를 공급하는 Y 서스테인 구동부(40)와;상기 마이컴(20)의 제어신호에 따라 상기 480개의 Z 서스테인 전극라인( $Z_1 \sim Z_{480}$ )을 순차적으로 스캐닝하여 상기  $Y_{2\alpha-1}$ 과  $Y_{2\alpha}$ 의 동시 스캐닝을 방지하고, 스캐닝이 완료된 Z 서스테인 전극라인에 제 2 서스테인 펄스를 공급하는 Z 서스테인 구동부(50)와;상기 480개의 Y 및 Z 서스테인 전극라인( $Y_1 \sim Z_{480}$ ) 중 현재 스캐닝되는 Y 및 Z 서스테인 전극라인이 구성하는 640개 화소의 R, G, B 디지털 화상 데이터를 상기 메모리부(30)로부터 입력받아 상기 640개의 R, G, B 어드레스 전극라인( $R_1 \sim B_{640}$ )에 공급하는 어드레스 구동부로 구성되어 있다.

또한, 상기 3전극 면방전 PDP(10)에는 480개의 Y 서스테인 전극라인( $Y_1 \sim Y_{480}$ ) 중  $Y_{2\alpha-1}$ 과  $Y_{2\alpha}$ 의 일단을 각각 연결하는 240개의 Y 공통 투명전극(ITO- $Y_1, ITO-Y_2, \dots, ITO-Y_{239}, ITO-Y_{240}$ )과, 상기 480개의 Z 서스테인 전극라인( $Z_1 \sim Z_{480}$ ) 중  $Z_{2\beta}$ 와  $Z_{2\beta+1}$ 의 타단을 각각 연결하는 239개의 Z 공통 투명전극(ITO- $Z_1, ITO-Z_2, \dots, ITO-Z_{238}, ITO-Z_{239}$ )이 구비되어 있고,상기 어드레스 구동부는 640개의 R, G, B 어드레스 전극라인( $R_1 \sim B_{640}$ ) 중 모든 R 어드레스 전극라인과 홀수번째 G 어드레스 전극라인( $R_1, G_1, R_2, \dots, R_{639}, G_{639}, R_{640}$ )에 해당 R, G 디지털 화상 데이터를 공급하는 제 1 어드레스 구동부(61)와, 짝수번째 G 어드레스 전극라인과 모든 B 어드레스 전극라인( $B_1, G_2, B_2, \dots, B_{639}, G_{640}, B_{640}$ )에 해당 G, B 디지털 화상 데이터를 공급하는 제 2 어드레스 구동부(62)로 구성되어 있다.

한편, 상기와 같이 제 1 어드레스 구동부(61)는 R, G 디지털 화상 데이터만 취급하고, 제 2 어드레스 구동부(62)는 G, B 디지털 화상 데이터만 취급하면 제 1, 2 어드레스 구동부(61, 62)와 메모리부(30) 사이에 형성된 데이터 전송 패턴의 꼬임 현상이 종래 기술보다 감소하게 되어 표시 화상의 노이즈가 저감된다.

아울러, 상기 Y 서스테인 구동부(40)와 Z 서스테인 구동부(50)는 각각 복수개의 구동 IC(구동 IC의 출력핀 개수에 따라 그 개수가 달라짐)로 구성되어 있고, 각 구동 IC의 출력핀은 240개의 Y 공통 투명전극(ITO- $Y_1 \sim ITO-Y_{240}$ )과 239개의 Z 공통 투명전극(ITO- $Z_1 \sim ITO-Z_{239}$ )과 첫 번째  $Z_1$ 과 마지막  $Z_{480}$ 에 일대일 대응으로 연결되어 있다.

즉, 상기 Y 서스테인 구동부(40)는 구동 IC의 출력핀을 240개 확보해야 하는데, 이는 종래 기술(480개의 출력핀)의

$\frac{1}{2}$ 에 해당되는 개수이므로 결국 Y 서스테인 구동부(40)의 구동 IC 개수가 종래 기술보다 감소하게 되어 제조 비용의 절감이 가능해진다.

또한, 상기 Z 서스테인 구동부(50)는 구동 IC의 출력핀을 241개 확보해야 하는데, 이는 종래 기술의 전체 Z 서스테인 전극라인 공통 구동시보다는 많은 개수의 구동 IC를 필요로 하지만 EMI를 감소시키기 위하여 각각의 Z 서스테인 전극라인을 독립 구동시키는 경우보다는 구동 IC의 개수가 크게 줄어든다.

즉, 상기 480개의 Z 서스테인 전극라인( $Z_1 \sim Z_{480}$ )을 모두 공통으로 구동하는 대신 일부만 공통으로 구동하고 나머지를 독립적으로 구동하면 각 셀의 Y 서스테인 전극라인과 Z 서스테인 전극라인간의 방전전류 흐름이 서로 교차하게 되어 방전 전류가 서로 상쇄됨으로써 EMI가 감소되는 동시에 필요한 구동 IC의 개수 역시 감소되어 제조 비용의 절감이 가능해진다.

상기와 같이 구성된 본 발명의 일 실시예에 의한 플라즈마 디스플레이장치가 ADS 서브필드 방식에 따라 3전극 면방전 PDP에 256( $2^8$ ) 계조의 화상을 표시하는 과정을 예로 들어 본 발명의 작용 및 효과를 설명하면 다음과 같다.

먼저, 마이컴(20)은 외부로부터 입력되는 R, G, B 아날로그 화상 데이터를 디지털화하여 8 비트의 R, G, B 디지털 화상 데이터(최하위  $B_1 \sim$  최상위  $B_8$ )를 출력하고, 상기 R, G, B 디지털 화상 데이터와 외부 신호에 따라 각종 제어신호를 출력한다.

이 때, 상기 마이컴(20)에서 출력되는 디지털 화상 데이터는 메모리부(30)에 프레임별, 컬러별, 비트별로 저장된다.

그 후, 각 서브필드(SF<sub>1</sub>~SF<sub>8</sub>)의 어드레스 기간에 Y 서스테인 구동부(40)와 Z 서스테인 구동부(50)는 마이컴(20)의 제어신호에 따라 480개의 Y 및 Z 서스테인 전극라인(Y<sub>1</sub>~Z<sub>480</sub>)에 1 단계로 이전의 필드에 생성된 벽전하를 제거하는 소거 펄스, 2 단계로 패널 전체에 균등한 벽전하를 형성하기 위한 써닝 펄스, 3 단계로 소거 펄스를 공급하여 640개 R, G, B 어드레스 전극라인(R<sub>1</sub>~B<sub>640</sub>) 상의 각 형광체층 표면에 벽전하를 형성시켜 이후에 수행되는 각 셀의 어드레스 방전전압을 낮추고, 4 단계로 480개의 Y 서스테인 전극라인(Y<sub>1</sub>~Y<sub>480</sub>)에 순차적으로 스캔 펄스를 공급한다.

상기 4 단계에서 480개의 Y 서스테인 전극라인(Y<sub>1</sub>~Y<sub>480</sub>)에 순차적으로 스캔 펄스가 공급되는 동안 480개의 Z 서스테인 전극라인(Z<sub>1</sub>~Z<sub>480</sub>)에는 상기 Y 서스테인 구동부(40)의 스캔 펄스와 극성이 반대이고 동기화된 스캔 펄스가 공급됨으로써 각 서브필드(SF<sub>1</sub>~SF<sub>8</sub>)의 어드레스 기간동안 480개의 Y 및 Z 서스테인 전극라인(Y<sub>1</sub>~Z<sub>480</sub>)이 순차적으로 한쌍씩 스캐닝된다.

아울러, 상기 4 단계에서 480개의 Y 및 Z 서스테인 전극라인(Y<sub>1</sub>~Z<sub>480</sub>)이 순차적으로 한쌍씩 스캐닝되는 동안 제 1, 2 어드레스 구동부(61, 62)는 640개의 R, G, B 어드레스 전극라인(R<sub>1</sub>~B<sub>640</sub>)에 스캔 펄스와 동기화된 해당 어드레스 펄스(R, G, B 디지털 화상 데이터의 1 비트값)를 공급하여 어드레스 펄스로 논리 하이가 공급된 각 셀의 방전공간 내부에서 어드레스 방전이 일어나도록 한다.

이 때, 상기 제 1, 2 어드레스 구동부(61, 62)는 각 셀에 대응되는 8비트의 디지털 화상 데이터(B<sub>1</sub>~B<sub>8</sub>) 중 B<sub>1</sub>→SF<sub>1</sub>, B<sub>2</sub>→SF<sub>2</sub>, ..., B<sub>7</sub>→SF<sub>7</sub>, B<sub>8</sub>→SF<sub>8</sub>에 각각 공급한다.

한편, 상기에서 480개의 Y 서스테인 전극라인(Y<sub>1</sub>~Y<sub>480</sub>) 중 병렬로 연결된 Y<sub>2α-1</sub>과 Y<sub>2α</sub>에는 각각 동일한 구동 펄스열이 공급되고, Y<sub>2</sub> 내지 Y<sub>480</sub>에는 Y<sub>1</sub>에 공급되는 스캔 펄스보다 전압이 낮은 스캔 펄스가 공급된다. 여기서, 상기 Y

<sub>1</sub>에 공급되는 스캔 펄스는 종래 기술의 M개 Y 서스테인 전극라인에 공급되던 스캔 펄스와 동일한 것이다.

이것은 Y<sub>1</sub>과 Z<sub>1</sub>이 스캐닝되면 Y<sub>1</sub>과 Z<sub>1</sub> 사이에서 방전이 일어나는 동시에 Y<sub>1</sub>과 병렬로 연결된 Y<sub>2</sub>와 Z<sub>1</sub> 사이에서도 방전이 일어나 Y<sub>1</sub>과 Y<sub>2</sub> 상의 산화마그네슘 보호막 위에 동시에 벽전하가 형성되고, 그 벽전하는 소거 펄스가 인가되지 않는 한 없어지지 않아 다음 Y<sub>2</sub>와 Z<sub>2</sub>가 스캐닝될 때 Y<sub>1</sub>에 공급되었던 스캔 펄스보다 더 낮은 전압의 스캔 펄스가 Y<sub>2</sub>에 공급되어도 이미 형성되어 있는 벽전하를 이용하면 Y<sub>2</sub>와 Z<sub>2</sub>의 스캐닝이 가능하게 된다.

또한, 상기 Y<sub>2</sub>와 Z<sub>2</sub>가 스캐닝되면 Y<sub>2</sub>와 Z<sub>2</sub> 사이에서 방전이 일어나는 동시에 Z<sub>2</sub>와 병렬로 연결된 Z<sub>3</sub>와 Y<sub>2</sub> 사이에서도 방전이 일어나 Z<sub>2</sub>와 Z<sub>3</sub> 상에 동시에 벽전하가 형성되고, 그 벽전하에 의해 다음 Y<sub>3</sub>와 Z<sub>3</sub>가 스캐닝될 때 Y<sub>1</sub>에 공급되었던 스캔 펄스보다 더 낮은 전압의 스캔 펄스(즉, Y<sub>2</sub>에 공급되었던 스캔 펄스와 동일한 스캔 펄스)가 Y<sub>3</sub>에 공급되어도 Y<sub>3</sub>와 Z<sub>3</sub>의 스캐닝이 가능하게 된다.

따라서, 본 발명의 일 실시예는 종래 기술보다 낮은 구동전압으로 3전극 면방전 PDP(10)를 구동시킬 수 있어 소비전력이 절감된다.

또한, 상기에서 480개의 Y 서스테인 전극라인(Y<sub>1</sub>~Y<sub>480</sub>) 중 공통 구동되는 Y<sub>2α-1</sub>과 Y<sub>2α</sub>의 동시 스캐닝은 480개의 Z 서스테인 전극라인(Z<sub>1</sub>~Z<sub>480</sub>)의 순차 스캐닝에 의해 방지될 수 있다.

예를 들어, 상기 480개의 Y 서스테인 전극라인(Y<sub>1</sub>~Y<sub>480</sub>) 중 공통 구동되는 Y<sub>1</sub>과 Y<sub>2</sub>는 상호 병렬로 연결되어 있지 않은 Z<sub>1</sub>과 Z<sub>2</sub>의 순차 스캐닝에 의해 순차 스캐닝되고, Y<sub>3</sub>와 Y<sub>4</sub> 역시 상호 병렬로 연결되어 있지 않은 Z<sub>3</sub>와 Z<sub>4</sub>의 순차 스캐닝에 의해 순차 스캐닝된다.

아울러, 상기 240개의 Y 공통 투명전극(ITO-Y<sub>1</sub>~ITO-Y<sub>240</sub>)에는 각각에 연결된 Y<sub>2α-1</sub>과 Y<sub>2α</sub>의 순차 스캐닝을 위하여 종래 기술보다 폭이 두배인 스캔 펄스가 공급되므로 결과적으로 구동 펄스열의 주파수가 감소된다. 한편, 각 서브필드(SF<sub>1</sub>~SF<sub>8</sub>)의 어드레스 기간이 완료되면 Y 및 Z 서스테인 구동부(40, 50)는 마이컴(30)의 제어신호에 따라 480개의 Y 및 Z 서스테인 전극라인(Y<sub>1</sub>~Z<sub>480</sub>)에 제 1, 2 서스테인 펄스를 각각 공급하여 어드레스 방전이 일어난 각 셀의 방전 및 발광을 제 1, 2 서스테인 펄스가 공급되는 기간동안 각각 유지시킨다.

이 때, 각 서브필드(SF<sub>1</sub>~SF<sub>8</sub>)에는 SF<sub>1</sub>: SF<sub>2</sub>: ... SF<sub>7</sub>: SF<sub>8</sub> = 1: 2: 4: 8: 16: 32: 64: 128에 비례하는 개수의 서스테인 펄스가 공급된다.

상기와 같은 과정을 거쳐 마지막 서브필드(SF<sub>8</sub>)의 서스테인 기간이 완료되면 3전극 면방전 PDP(10) 상에 1 프레임의 게조 화상이 표시된다.

아울러, 본 발명은 상기에서 설명된 ADS 서브필드 방식 이외의 다른 구동방식에 적용되어도 상호 병렬로 연결된 Y 서스테인 전극라인 상의 동시 벽전하 형성으로 인해 Y 및 Z 서스테인 전극라인의 스캐닝 전압 감소, EMI 및 노이즈 절감 등의 효과를 얻을 수 있다.

이에 본 발명은 상기에서 설명된 실시예에 한정되는 것이 아니라 그 요지를 벗어나지 않는 범위 내에서 여러 가지로 변경될 수 있다.

이와 같이 본 발명에 의한 플라즈마 디스플레이장치는 AC PDP의 복수개 Y 및 Z 서스테인 전극라인 중 일부가 동일 전극라인 및 인접 전극라인끼리 상호 병렬로 연결되어 각각 공통으로 구동되기 때문에 구동 IC의 개수 및 구동 주파수가 감소되어 제조 비용 및 소비전력이 절감되고, 상호 병렬로 연결된 서스테인 전극라인 상에 동시에 형성되는 벽전하에 의해 서스테인 전극라인의 스캐닝 전압이 감소되어 소비전력이 절감되고 수명이 연장되는 효과가 있다.

아울러, 본 발명에 의한 플라즈마 디스플레이장치는 복수개의 R, G, B 어드레스 전극라인 중 모든 R 어드레스 전극라인과 홀수번째 G 어드레스 전극라인, 짝수번째 G 어드레스 전극라인과 모든 B 어드레스 전극라인을 분할하여 구동시키기 때문에 메모리부와 제 1, 2 어드레스 구동부 사이에 형성되는 데이터 전송 패턴의 꼬임 현상이 줄어 표시 화상의 노이즈가 저감됨으로써 화질이 향상되는 효과가 있다.

## (57)청구의 범위

### 청구항1

M개의 Y 및 Z 서스테인 전극라인  $Y_1, Z_1, Y_2, Z_2, \dots, Y_{M-1}, Z_{M-1}, Y_M, Z_M$  과 N개의 R, G, B 어드레스 전극라인  $R_1, G_1, B_1, R_2, G_2, B_2, \dots, R_{N-1}, G_{N-1}, B_{N-1}, R_N, G_N, B_N$  이 상호 직교하도록 배열 형성되어 전체 화면이 매트릭스 형태의  $M \times N$ 개 화소로 이루어지고, 상기 M개의 Y 및 Z 서스테인 전극라인 중  $Y_{2\alpha-1}$  과  $Y_{2\alpha}$ (이하,  $\alpha=1, 2, \dots,$

$\frac{M}{2}$   
-1,  
 $\frac{M}{2}$   
) ,  $Z_{2\beta}$  와  $Z_{2\beta+1}$ (이하,  $\beta=1, 2, \dots,$   
 $\frac{M}{2}$   
-2,  
 $\frac{M}{2}$   
-1)이 각각 병렬로 연결되어 있는 교류 플라즈마 디스플레이 패널(이하, AC PDP라 함)과;외부로부터 입력되는 아날로그 화상 데이터를 디지털화하여 디지털 화상 데이터를 출력하고, 상기 디지털 화상 데이터와 외부 신호에 따라 각종 제어신호를 출력하는 마이컴과;상기 마이컴에서 출력되는 디지털 화상 데이터를 저장하는 메모리부와;상기 마이컴의 제어신호에 따라 상기  $Y_1$ 에 공급되는 스캔 펄스보다 더 낮은 전압의 스캔 펄스를 상기  $Y_2$  내지  $Y_M$ 에 공급하여 상기 M개의 Y 서스테인 전극라인을 순차적으로 스캐닝하고, 스캐닝이 완료된 Y 서스테인 전극라인에 제 1 서스테인 펄스를 공급하는 Y 서스테인 구동부와;상기 마이컴의 제어신호에 따라 상기 M개의 Z 서스테인 전극라인을 순차적으로 스캐닝하여 상기  $Y_{2\alpha-1}$  과  $Y_{2\alpha}$ 의 동시 스캐닝을 방지하고, 스캐닝이 완료된 Z 서스테인 전극라인에 제 2 서스테인 펄스를 공급하는 Z 서스테인 구동부와;상기 M개의 Y 및 Z 서스테인 전극라인 중 현재 스캐닝되는 Y 및 Z 서스테인 전극라인이 구성하는 N개 화소의 디지털 화상 데이터를 상기 메모리부로부터 입력받아 상기 N개의 R, G, B 어드레스 전극라인에 공급하는 어드레스 구동부로 구성된 것을 특징으로 하는 플라즈마 디스플레이장치.

### 청구항2

제 1 항에 있어서,상기 AC PDP는 상기  $Y_{2\alpha-1}$  과  $Y_{2\alpha}$ 의 일단을 각각 연결하는

$\frac{M}{2}$

개의 Y 공통 투명전극과, 상기  $Z_{2\beta}$  와  $Z_{2\beta+1}$ 의 타단을 각각 연결하는

$\frac{M}{2}$

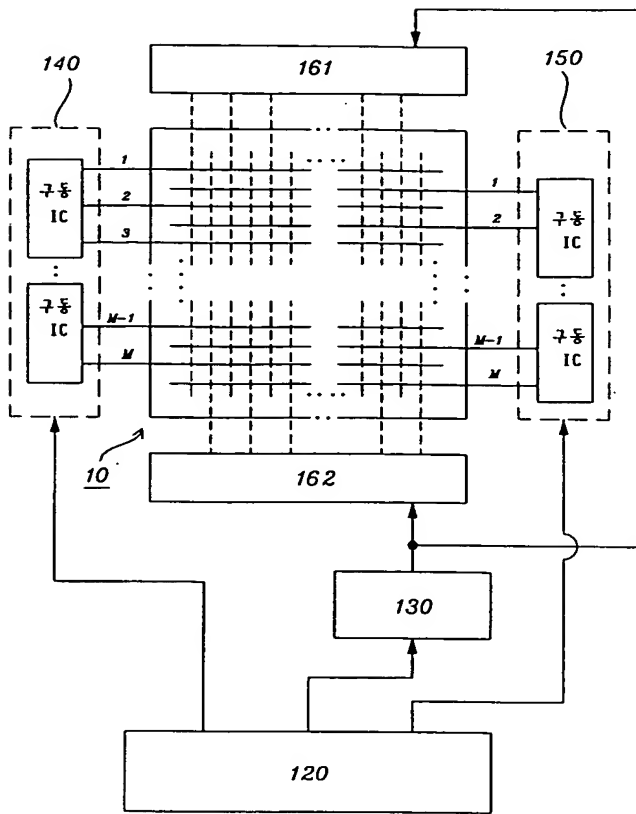
-1개의 Z 공통 투명전극이 구비된 것을 특징으로 하는 플라즈마 디스플레이장치.

### 청구항3

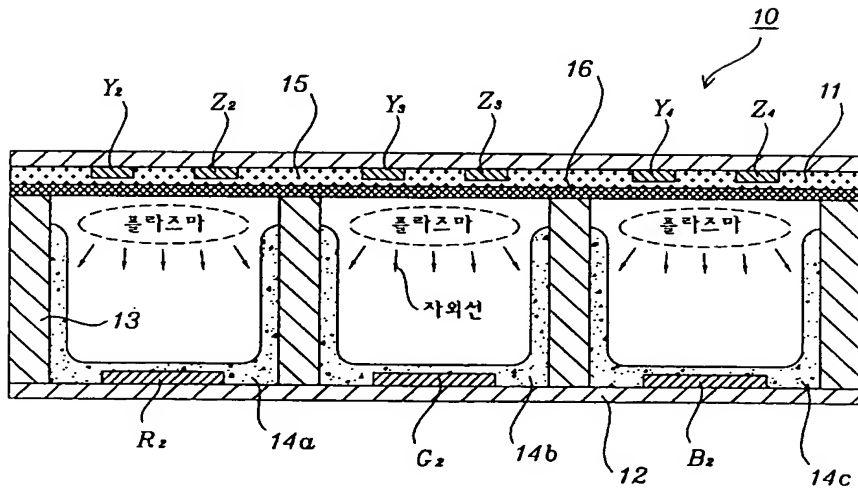
제 1 항에 있어서,상기 어드레스 구동부는 상기 N개의 R, G, B 어드레스 전극라인 중 모든 R 어드레스 전극라인과 홀수번째 G 어드레스 전극라인  $R_1, G_1, R_2, \dots, R_{N-1}, G_{N-1}, R_N$ 에 해당 디지털 화상 데이터를 공급하는 제 1 어드레스 구동부와, 짝수번째 G 어드레스 전극라인과 모든 B 어드레스 전극라인  $B_1, G_2, B_2, \dots, B_{N-1}, G_N, B_N$ 에 해당 디지털 화상 데이터를 공급하는 제 2 어드레스 구동부로 구성된 것을 특징으로 하는 플라즈마 디스플레이장치.

도면

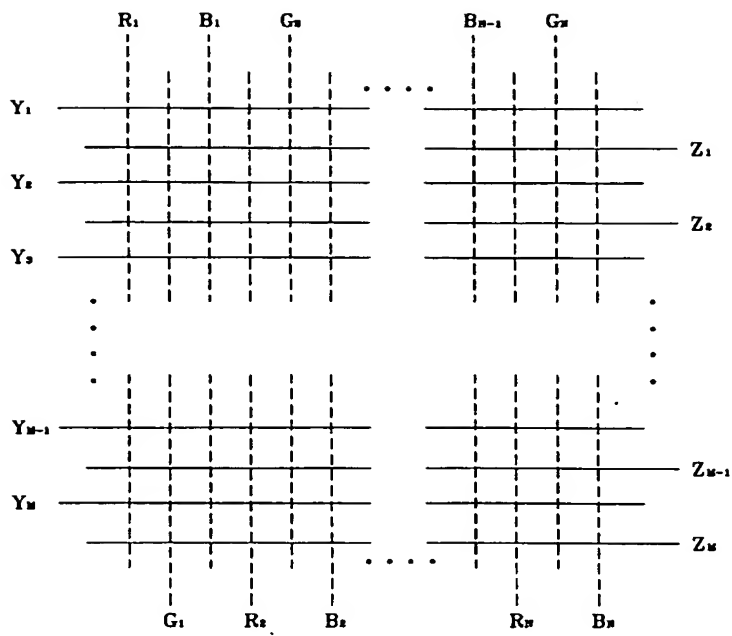
도면1



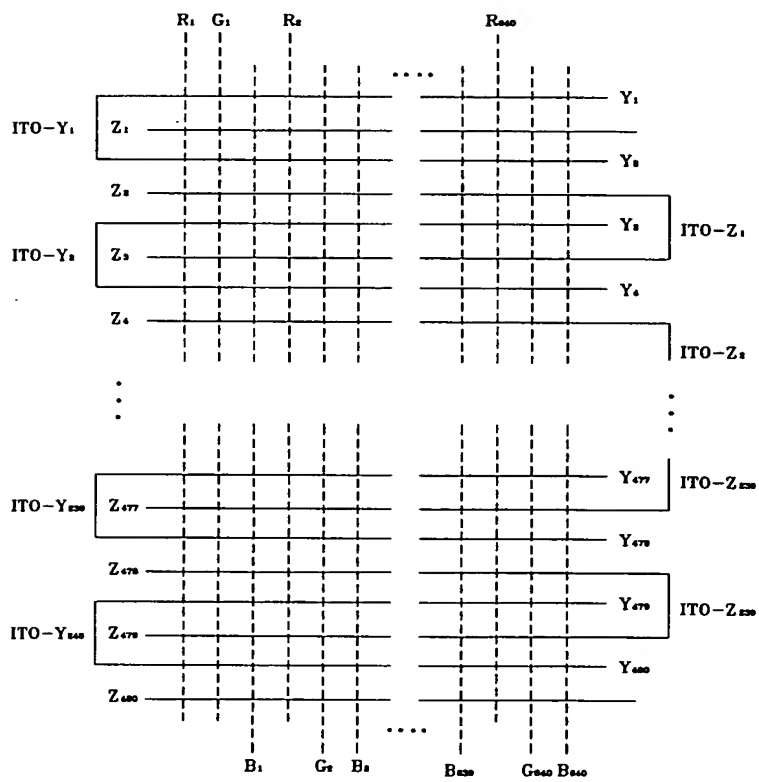
도면2



도면3



도면4



도면5

